

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-227998

(43)公開日 平成8年(1996)9月3日

(51) Int.Cl.^a
H 01 L 29/78
21/8234
27/088

識別記号 庁内整理番号
9055-4M

F I
H 01 L 29/78
27/08

技術表示箇所
656 C
102 E

審査請求 未請求 請求項の数10 O.L (全9頁)

(21)出願番号 特願平7-31284
(22)出願日 平成7年(1995)2月21日

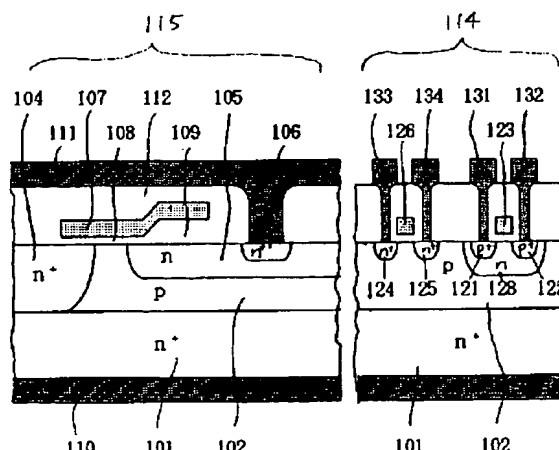
(71)出願人 000005234
富士電機株式会社
神奈川県川崎市川崎区田辺新田1番1号
(72)発明者 北村 明夫
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(72)発明者 藤島 直人
神奈川県川崎市川崎区田辺新田1番1号
富士電機株式会社内
(74)代理人 弁理士 山口 嶽

(54)【発明の名称】 パックソースMOSFET

(57)【要約】

【目的】MOSFETの配線抵抗を低減して、大電流化を可能にし、パワーICでは、基板電位の変動を抑制してロジック部のノイズを低減する。

【構成】n⁺基板101上のpベース層102にn⁺ソース領域104、nドレインドリフト領域105およびn⁺ドレイン領域106を形成し、n⁺ソース領域104とnドレインドリフト領域105に挟まれたpベース層102の表面露出部の表面上にゲート酸化107を介してゲート電極を設け、n⁺ドレイン領域106の表面上にドレイン電極111を設け、n⁺ソース領域104とn⁺基板101とを接続して、n⁺基板101の裏面にソース電極110を設ける。



- | | |
|--------------------------|--------------|
| 101 n ⁺ 基板 | 107 ゲート電極 |
| 102 p ベース層 | 108 ゲート酸化膜 |
| 104 n ⁺ ソース領域 | 109 LOCOS酸化膜 |
| 105 n ドレインドリフト領域 | 110 ソース電極 |
| 106 n ドレイン領域 | 111 ドレイン電極 |

【特許請求の範囲】

【請求項1】第一導電型半導体基板上の第二導電型ベース層の表面層に形成された第一導電型ソース領域および第一導電型ドレインドリフト領域と、その第一導電型ドレインドリフト領域の表面層に形成された第一導電型ドレイン領域と、第一導電型ソース領域と第一導電型ドレインドリフト領域とに挟まれた第二導電型ベース層の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域に接続するように設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有するMOSFETにおいて、前記第一導電型ソース領域が第一導電型半導体基板と接続され、第一導電型半導体基板の裏面にソース電極を設けることを特徴とするバックソースMOSFET。

【請求項2】第一導電型ソース領域が第二導電型ベース層の表面から第一導電型半導体基板に達する拡散深さの拡散層であることを特徴とする請求項1に記載のバックソースMOSFET。

【請求項3】第一導電型ソース領域の表面からトレンチを形成し、そのトレンチの内面に不純物を導入して形成的拡散層によって第一導電型ソース領域と第一導電型半導体基板とが接続されていることを特徴とする請求項1に記載のバックソースMOSFET。

【請求項4】第一導電型ソース領域の表面から第一導電型半導体基板に達する深さのトレンチを形成し、そのトレンチの内部に充填された導体によって第一導電型ソース領域と第一導電型半導体基板とが接続されていることを特徴とする請求項1に記載のバックソースMOSFET。

【請求項5】第一導電型ソース領域の表面からトレンチを形成し、そのトレンチの内部に充填された導体によって第一導電型ソース領域、第一導電型半導体基板と第二導電型ベース層とが接続されていることを特徴とする請求項4に記載のバックソースMOSFET。

【請求項6】第一導電型半導体基板と第二導電型ベース層との間の少なくとも一部に絶縁膜を有することを特徴とする請求項1ないし5のいずれかに記載のバックソースMOSFET。

【請求項7】第一導電型半導体基板上に順次形成された第二導電型ベース層、第一導電型ドレインドリフト領域、第一導電型ドレイン領域と、その第一導電型ドレイン領域の表面から形成された第一導電型半導体基板に達するトレンチと、そのトレンチの側壁に露出した第二導電型ベース層の表面に対向してトレンチ内にゲート酸化膜を介して設けられたゲート電極と、第一導電型半導体基板の裏面に設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有することを特徴とするバックソースMOSFET。

【請求項8】第一導電型半導体基板と第二導電型ベース層とを短絡する埋め込み導体を有することを特徴とする

請求項7に記載のバックソースMOSFET。

【請求項9】第一導電型半導体基板上に順次形成された第一導電型ベース層、第一導電型ドレインドリフト領域、第一導電型ドレイン領域と、その第一導電型ドレイン領域の表面から形成された第一導電型半導体基板に達するトレンチと、そのトレンチの側壁に露出した第一導電型ベース層の表面に対向してトレンチ内にゲート酸化膜を介して設けられたゲート電極と、第一導電型半導体基板の裏面に設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有することを特徴とするバックソースMOSFET。

【請求項10】同一半導体基板上のベース層の表面層にロジック部のCMOSFETが形成されていることを特徴とする請求項1ないし9のいずれかに記載のバックソースMOSFET。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、パワーICのパワー素子として、またディスクリート素子として、使用される高耐圧パワーMOSFET（金属-酸化膜-半導体構造の電界効果トランジスタ）に関する。

【0002】

【従来の技術】近年、高耐圧パワー素子とそれを制御するロジック部とを一つのチップ内に収めたパワーICが脚光を浴びている。従来のパワーICの一例の断面図を図10に示す。図の左側部分はパワー素子部1015で横型MOSFETの一部であり、図の右側部分はロジック部1014のCMOSトランジスタである。これらの要素は、p⁺基板1018上にエピタキシャル成長されたn⁻ベース層1020の表面層に形成される。p⁺基板1018とn⁻ベース層1020との間に図のようにn⁺埋め込み領域1019が形成される場合もある。先ず図の左側部分において、n⁻ベース層1020の表面層にpベース領域1002が、そのpベース領域1002の表面層にn⁺ソース領域1004が形成されている。n⁻ベース層1020の表面層にはまた、pベース領域1002から離して、nドレインドリフト領域1005が、そのnドレインドリフト領域1005の表面層にn⁺ドレイン領域1006が形成されている。n⁺ソース領域1004とn⁻ベース層1020とに挟まれたpベース領域1002の表面上にはゲート酸化膜1008を介して多結晶シリコンからなるゲート電極1007が設けられ、n⁺ソース領域1004、n⁺ドレイン領域1006の表面上にはそれぞれAl合金からなるソース電極1010、ドレイン電極1011が設けられている。nドレインドリフト領域1005の表面上には、厚いLOCOS酸化膜1009を介してゲート電極1007の上方および側方にはシリケートガラス(PSG)等の絶縁膜1012で覆われ、ソース電極1010と絶縁されている。

【0003】

【0004】

【0005】

【0006】

【0007】

【0008】

【0009】

【0010】

【0011】

【0012】

【0013】

【0014】

【0015】

【0016】

【0017】

【0018】

【0019】

【0020】

【0021】

【0022】

【0023】

【0024】

【0025】

【0026】

【0027】

【0028】

【0029】

【0030】

【0031】

【0032】

【0033】

【0034】

【0035】

【0036】

【0037】

【0038】

【0039】

【0040】

【0041】

【0042】

【0043】

【0044】

【0045】

【0046】

【0047】

【0048】

【0049】

【0050】

る。

【0003】一方、ロジック部では、やはりn⁻ベース層1020の表面層にp⁺ソース領域1021、p⁺ドレイン領域1012が形成され、これらの領域の表面上のソース電極1031、ドレイン電極1032とゲート酸化膜1029上のゲート電極1023によりpチャネル型MOSFETが構成され、またn⁻ベース層1020の表面層に形成されたpウェル領域1027の内部にn⁺ソース領域1024、n⁺ドレイン領域1025が形成され、これらの領域の表面上に設けられたソース電極1033、ドレイン電極1034とゲート酸化膜1029上のゲート電極1026によりnチャネル型MOSFETが構成されていて、CMOS回路を構成している。

【0004】図の右側のロジック部1014の演算結果に基づいて左側のパワー素子部1015の出力を制御するものである。図11は従来のパワーICの別の例の断面図である。図の左側部分は高耐圧パワー素子部1115で縦型MOSFETの一部であり、図の右側部分はロジック部1114のCMOSトランジスタである。これらの要素は、n⁺基板1101上に積層されたn⁻ベース層1120の表面層に形成される。先ず図の左側部分において、n⁻ベース層1120の表面層にpベース層1102が、そのpベース層1102の表面層にn⁺ソース層1104が形成されている。n⁺ソース層1104の表面からnベース層1120に達するトレンチ1113が設けられ、そのトレンチ1113の内面に露出したpベース層1102の側面に対向するようにゲート酸化膜1108を介してゲート電極1107が設けられている。n⁺ソース層1104の表面上に接触するA1合金からなるソース電極1110と、n⁺型基板1101の裏面に接触するドレイン電極1111が設けられている。トレンチ1113内のゲート電極1107の上は、例えば焼シリケートガラス(PSG)の絶縁膜1112で覆われ、ソース電極1110と絶縁されている。ソース電極1110、ドレイン電極1111は半導体ウェハの両側に設けられていて、電流がウェハの厚さ方向に流れるので縦型MOSFETと呼ばれる。一方、ロジック部1114では、図10の例とほぼ同じpチャネル型MOSFETとnチャネル型MOSFETとでCMOS回路が構成されているので説明を省略する。

【0005】図11のパワーICでは、パワー素子部1115のMOSFETのソース電極1110とドレイン電極1111とが半導体基板の両主面に分離されている特徴があり、また、チャネル形成部がトレンチ1113の内面になるので、集積度を高めやすく、半導体基板表面の単位面積当たりの電流容量を大きくできる。

【0006】

【発明が解決しようとする課題】パワーICの追求には二通りのアプローチがあって、一つは高耐圧素子側から

のアプローチであり、もう一つはIC側からのアプローチである。図10の例のIC側からのアプローチでは、パワー素子部1015のソース、ドレイン共に半導体基板の一方の表面に形成されるため、配線が複雑になり、大電流化、低オン抵抗化への要望に十分答えられない。

【0007】また、図11の例の高耐圧素子側からのアプローチでは、ソース電極1110とドレイン電極1111とが半導体基板の両主面に分離されていて配線が複雑化する問題が避けられる。また集積度を高めて、半導体基板表面の単位面積当たりの電流容量を大きくできて、大電流化、低オン抵抗化できるが、パワー素子部1115の縦型MOSFETと並列に分離された島を作り、その島にロジック部1114を形成するため、ロジック部1114の半導体基板自体はパワー素子部のドレイン領域と共通になっていて、そのドレイン電圧の変動によりロジック部1114にノイズが発生することがある。

【0008】以上の問題に鑑み、本発明の目的は、大電流化、低オン抵抗化に適する構造をもち、しかもロジック部へのノイズ発生の問題のないMOSFETを提供することにある。

【0009】

【課題を解決するための手段】上記課題解決のため本発明は、第一導電型半導体基板上の第二導電型ベース層に形成された第一導電型ソース領域および第一導電型ドレインドリフト領域と、その第一導電型ドレインドリフト領域の表面層に形成された第一導電型ドレイン領域と、第一導電型ソース領域と第一導電型ドレインドリフト領域とに挟まれた第二導電型ベース層の表面上にゲート絶縁膜を介して設けられたゲート電極と、第一導電型ソース領域に接続するように設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有するMOSFETにおいて、前記第一導電型ソース領域が第一導電型半導体基板と接続され、第一導電型半導体基板の裏面にソース電極を設けるものとする。

【0010】特に、第一導電型ソース領域と第一導電型半導体基板との接続には、第一導電型ソース領域が第二導電型ベース層の表面から第一導電型半導体基板に達する深さの拡散層とすることができる。また、第一導電型ソース領域の表面からトレンチを形成し、そのトレンチの内面に不純物を導入して形成した拡散層や、トレンチの内部に充填された導体によって第一導電型ソース領域と第一導電型半導体基板とを接続することもできる。

【0011】更に、トレンチの内部に充填された導体によって第一導電型ソース領域、第一導電型半導体基板と第二導電型ベース層とを接続してもよい。第一導電型半導体基板と第二導電型ベース層との間の少なくとも一部に絶縁膜を有するものとすることもできる。また、第一導電型半導体基板上に順次形成された第二導電型ベース

層、第一導電型ドレインドリフト領域、第一導電型ドレイン領域と、その第一導電型ドレイン領域の表面から形成された第一導電型半導体基板に達するトレンチと、そのトレンチの側壁に露出した第二導電型ベース層の表面に対向してトレンチ内にゲート酸化膜を介して設けられたゲート電極と、第一導電型半導体基板の裏面に設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有するものとする。

【0012】第一導電型半導体基板と第二導電型ベース層とを短絡する埋め込み導体を有することもよい。第二導電型ベース層に代えて、第一導電型ベース層とすることもできる。そして、同一半導体基板上のベース層の表面層にロジック部のCMOSFETを持つものとすることができる。

【0013】

【作用】上記の手段を講じ、第一導電型ソース領域が第一導電型半導体基板と接続され、第一導電型半導体基板の裏面にソース電極を設けたバックソースMOSFETとすれば、ソース電極とドレイン電極とが互いに別の主面上に分離され、しかも半導体基板がソース電位となる。電圧変動のないソース電極を裏面に形成することにより、基板電位が安定する。

【0014】特に、第一導電型ソース領域が第二導電型ベース層の表面から第一導電型半導体基板に達する深さの拡散層とすれば、第一導電型ソース領域と第一導電型半導体基板とが接続され、第一導電型半導体基板の裏面にソース電極を設けることができる。また、第一導電型ソース領域の表面からトレンチを形成し、そのトレンチの内面に不純物を導入して形成した拡散層や、トレンチの内部に充填された導体によって第一導電型ソース領域と第一導電型半導体基板とを接続すれば、第一導電型半導体基板の裏面にソース電極を設けることができる。

【0015】更に、トレンチの内部に充填された導体によって第一導電型ソース領域、第一導電型半導体基板と第二導電型ベース層とを接続すれば、第二導電型ベース層との短絡を別にとる必要がない。第一導電型半導体基板と第二導電型ベース層との間の少なくとも一部に絶縁膜を有するものとすれば、基板電位の影響が低減され、電位が安定する。

【0016】また、第一導電型半導体基板上に順次形成された第二導電型ベース層、第一導電型ドレインドリフト領域、第一導電型ドレイン領域と、その第一導電型ドレイン領域の表面から形成された第一導電型半導体基板に達するトレンチと、そのトレンチの側壁に露出した第二導電型ベース層の表面に対向してトレンチ内にゲート酸化膜を介して設けられたゲート電極と、第一導電型半導体基板の裏面に設けられたソース電極と、第一導電型ドレイン領域の表面上に設けられたドレイン電極とを有する構造としても、ソース電極とドレイン電極とが互いに別の主面上に分離され、しかも電圧変動のないソース

電極を裏面に形成することにより、基板電位が安定する。

【0017】第一導電型半導体基板と第二導電型ベース層とを短絡する埋め込み導体を設ければ、第二導電型ベース層との短絡を別にとる必要がない。第二導電型ベース層に代えて、第一導電型ベース層とすれば、デブリーション型のMOSFETとなる。そして、同一半導体基板上のベース層の表面層にロジック部のCMOSFETを持つものとすれば、基板電位がCMOSFETへのノイズとなることがない。

【0018】

【実施例】以下に、図を参照しながら本発明の実施例について説明する。以下の例では、概ね、パワーICに集積されたパワー素子としてのMOSFETについて説明したが、構造としては単体のMOSFETについても適用できるので、一部の例はMOSFET部のみを示した。本発明のMOSFETは半導体基板の裏面にソース電極が設けられていることが一つの特徴なので、バックソースMOSFETと名付けた。

【0019】図1は、本発明第一の実施例のバックソースMOSFETを組み込んだパワーICの要部断面図である。図の左側部分はパワー素子部115の横型MOSFETの一部であり、図の右側部分はロジック部114のCMOSトランジスタである。これらの要素は、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度のn⁺基板101上にエピタキシャル法により積層された不純物濃度が約 $5 \times 10^{16} \text{ cm}^{-3}$ 、厚さ4μm程度のpベース層102の表面層に形成される。まず図の左側部分において、pベース層102の表面層に、n⁺ソース領域104がn⁺基板101に達する拡散深さに形成されている。またn⁺ソース領域104から少し離して、n⁺ソース領域104より浅いnドレインドリフト領域105が、そのnドレインドリフト領域105の表面層の一部にn⁺ドレイン領域106が形成されている。そして、n⁺ソース領域104・nドレインドリフト領域105間にp型ベース層102の表面露出部の表面上にゲート酸化膜108を介して多結晶シリコンからなるゲート電極107が設けられている。このとき、ゲート電極107のn⁺ドレイン領域106に近い側は、厚い酸化膜(LOCOS)109上に形成される。このようにしてnチャネルMOSFETが形成される。

【0020】一方、ロジック部では、やはりpベース層102の表面層にn⁺ソース領域124、n⁺ドレイン領域125が形成され、これらの領域の表面上のソース電極133、ドレイン電極134とゲート電極126によりnチャネル型MOSFETが構成され、またpベース層102の表面層に形成されたnウェル領域128の内部にp⁺ソース領域121、p⁺ドレイン領域122が形成され、これらの領域の表面上に設けられたソース電極131、ドレイン電極132とゲート電極123に

よりpチャネル型MOSFETが構成されていて、CMOS回路を構成している。

【0021】このパワーICの動作は、図の右側のロジック部114のCMOSトランジスタからなる回路の演算結果に基づいて左側のパワー素子部115のゲート電極107に正の電圧が与えられ、n⁺ソース領域104とnドレインドリフト領域105に挟まれたpベース層102の表面層にチャネルが形成され、ドレイン電極111からソース電極110に流れる出力電流を制御するものである。

【0022】n⁺ソース領域104の拡散深さx_jは5μmであり、n⁺ソース領域104とn⁻基板101とは完全に短絡し、n⁻基板101の裏面全体に設けられたAl合金膜はソース電極110となる。また、n⁻基板101の表面側にはn⁺ドレイン領域106に接触してドレイン電極111が全面に形成される。このようにソース電極110とドレイン電極111とをそれぞれ基板裏面、基板表面に形成することにより、配線面積が増大し、配線抵抗が大幅に低減でき、低オン抵抗のMOSFETとすることができます。また、n⁻基板101の裏面のソース電極110に放熱板を形成することにより、通常のディスクリート素子並みの大電流出力化が可能となる。

【0023】ここで、ロジック部114を形成するCMOSは前記pベース層102の表面に図のように形成される。このとき、n⁻基板101はパワー素子部115のnチャネルMOSFETのソースであり、Hブリッジ回路やインバータ回路等のローサイドでの使用では、グランド電位に固定される。このためロジック部114の基板であるpベース層102の電位は、安定に保たれ、ロジック部114にノイズをおこすことがない。

【0024】図2は、図1の第一の実施例の変形であり、パワー素子部215のみを示す。この場合、n⁻基板201上のpベース層202の表面層に深いn⁺ソース領域を形成する代わりに、浅いn⁺ソース領域204を形成し、その表面から深さ5μmのトレンチ213を形成し、そのトレンチ213の側面および底面にドナー形成型の不純物のイオン注入を行うことによりn側壁領域216を形成する。トレンチ213内にはプラズマCVD法による酸化膜等の絶縁膜212を埋める。このn側壁領域216によってn⁺ソース領域204とn⁻基板201とを接続し、n⁻基板201の裏面にソース電極210を設けて、ソース電極210とドレイン電極211とをそれぞれ基板裏面、基板表面に設けることによつて、図1の第一の実施例と同じ効果が得られる。更にこの場合は、第一の実施例のようにn⁺ソース領域204の拡散深さx_jを5μmにする必要がなく、拡散時間が短くてすみ、かつデバイス周期が縮小できる。つまり、単位面積当たりのオン抵抗がより低減できる。

【0025】図3は、図2の第二の実施例の変形であ

り、パワー素子部315のみを示す。この場合、先ずpベース層302の表面から深さ5μmのトレンチ313を掘り、そのトレンチ313の側面および底面にドナー形成型の不純物のイオン注入を行うことにより内面にn⁺ソース領域304を形成したものである。こうしてn⁺ソース領域304とn⁻基板301とを接続し、n⁻基板301の裏面にソース電極310を設けて、ソース電極310とドレイン電極311とをそれぞれ基板裏面、基板表面に設けることによつて、図1の第一の実施例と同じ効果が得られる。更にこの場合は、第二の実施例に比べてn⁺ソース領域とn側壁領域の形成が一度で済む利点がある。

【0026】図4は、本発明第四の実施例のバックソースMOSFETの要部断面図である。図に示すようにn⁺ソース領域404をトレンチ形成前にイオン注入で浅く形成しておき、その後n⁺ソース領域404の表面からトレンチ413を形成し、そのトレンチ413の内部に導電体417を埋め込むことにより、n⁺ソース領域404とn⁻基板401との短絡を行なう構造とした。導電体417としては、電極膜に使用されるアルミニウム合金や、場合によっては高融点金属のシリサイド等が使用される。図1、2、3の実施例に示した構造では、pベース層102、202、302の電位をn⁺ソース領域104、204、304の電位と短絡させるためには奥行き方向のチャネルを犠牲にしてコンタクトしなければならないが、この構造では、トレンチ413内部に導電体417を埋め込むことにより、n⁺ソース領域404とn⁻基板401との短絡を行なうと共に、トレンチ413の側面でpベース層402とも短絡させることができ。この場合も配線面積が増大し、配線抵抗が大幅に低減でき、低オン抵抗のMOSFETとすることができます。しかもノイズ発生の問題もない。

【0027】図5は、本発明第五の実施例のバックソースMOSFETの要部断面図である。図1の第一の実施例に示した構造と良く似ているが、異なっているのは、誘電体分離型のSOI基板を用いることにより、n⁻型基板501とpベース層502との間に酸化膜503があることである。このときn⁺ソース領域504直下の酸化膜は無くしておくことにより、n⁻基板501とn⁺ソース領域504とが短絡される。そして、ロジック部514のCMOSトランジスタは酸化膜503でn⁻基板501（パワー素子部515のMOSFETのソース）から完全に分離されたpベース層502中に形成されるため、一層ロジック部514の基板電位は安定に保たれる。図のような、一部に分離酸化膜503のないSOI基板は、予め、そのようなパターン形成した酸化膜をもったウェハの張り合わせや、酸素イオンの選択注入により得られる。

【0028】図6は、本発明第六の実施例のバックソースMOSFETの要部断面図である。この場合は、誘電

体分離型のSOI基板を用いて、図4の第四の実施例のようにトレンチ613を形成し、その中に導電体617を埋め込んで、n⁺ソース領域604とn⁺基板601とを接続したものである。このときロジック部のCMOSトランジスタは酸化膜603でn⁺基板601（パワーMOSFETのソース）から完全に分離されたpベース層602中に形成されるため、一層ロジック部の基板電位は安定に保たれる。また、この場合は分離酸化膜603のパターン形成が不要であり、製造が容易である。

【0029】図7は、本発明第七の実施例のバックソースMOSFETを組み込んだパワーICの要部断面図である。図の左側部分は高耐圧パワー素子部715の横型MOSFETであり、図の右側部分はロジック部714のCMOSトランジスタである。これらの要素は、不純物濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度のn⁺基板701上にエピタキシャル法により積層された $5 \times 10^{16} \text{ cm}^{-3}$ 程度、厚さ5μm程度のpベース層702の表面層に形成される。まず図の左側部分において、基板表面からのイオン注入および熱処理によって、拡散深さx_jが約3μmのnドレインドリフト領域705を形成し、さらにその表面にn⁻ドレイン領域706を形成する。ここで、深さ5.5μmのトレンチ713を形成し、その内壁にゲート酸化膜708を形成した後、このトレンチ713の内部に減圧CVD法により、ゲート電極707となる多結晶シリコンを充填する。このときゲート電極707は、ゲート酸化膜708を介してトレンチ内面に露出したpベース層702の表面に対向するように形成される。n⁺基板701がソース領域となり、その裏面にAl合金からなるソース電極710が設けられ、また、n⁻ドレイン領域706に接触するドレイン電極711が設けられてMOSFETを構成する。ゲート電極707への正電圧の印加により、ソース電極710・ドレイン電極711間が導通するのは、上述の実施例と同じである。この構造とすることにより、デバイス周期は大幅に縮小され、単位面積当たりのオン抵抗が大幅に縮小される。また、上述の実施例と同様にソース電極710はn⁺基板701の裏面に形成されるため、配線抵抗の低減、大電流出力が可能である。

【0030】一方、ロジック部では、やはりpベース層702の表面層にn⁺ソース領域724、n⁻ドレイン領域725が形成され、これらの領域の表面上のソース電極733、ドレイン電極734とゲート電極726によりnチャネル型MOSFETが構成され、またpベース層702の表面層に形成されたnウェル領域728の内部にp⁺ソース領域721、p⁺ドレイン領域722が形成され、これらの領域の表面上に設けられたソース電極731、ドレイン電極732とゲート電極723によりpチャネル型MOSFETが構成されていて、CMOS回路を構成している。

【0031】ここで、ロジック部を形成するCMOSト

ランジスタは前記pベース層702の表面に形成され、n⁺基板701はnチャネルMOSFETのソースであり、Hブリッジ回路やインバータ回路等のローサイドでの使用では、グランド電位に固定される。このためロジック部714の基板であるpベース層702の電位は、安定に保たれてノイズ発生の問題は起こらない。

【0032】図7の、本発明第七の実施例のバックソースMOSFETにおいて、nドレインドリフト領域705をエピタキシャル成長で形成することもできる。そうすると、ドレインドリフト領域705の不純物濃度は均一に保たれ、不純物総量を多くできる。これにより、低オン抵抗化が一層促進される。図8は、本発明第八の実施例のバックソースMOSFETの要部断面図である。図7の第七の実施例に類似した構造であるが、n⁺基板801の上にp型エピタキシャル層ではなく、低不純物濃度のn型エピタキシャル層を積層してn⁻ベース層820を形成する。そして、そのn⁻ベース層820の表面層にnドレインドリフト層805とn⁻ドレイン領域806が形成されている。このデバイスは、ゲート電圧を負に引くことによって、トレンチ813内のゲート電極807に対向するn⁻ベース層820の表面層を空乏化し、オフさせるノーマリィオン型のデバイスである。これにより、チャネル抵抗が大幅に低減でき、低オン抵抗化が促進される。

【0033】図9は、本発明第九の実施例のバックソースMOSFETの要部断面図である。図7の第七の実施例に類似した構造であるが、n⁺基板901とpベース層902との間に導電体917を埋め込んでいる点が違っている。これにより、n⁺基板901とpベース層902とを短絡させて、pベース層902の電位を安定化している。導電体917としては、多結晶シリコンや、高融点金属のシリサイドなどが用いられる。

【0034】以上の実施例では、n型基板上のpベース層にnチャネル型のMOSFETを形成した例を示したが、p型基板上のnベース層にpチャネル型のMOSFETを形成することもできる。

【0035】

【発明の効果】以上説明したように本発明のバックソースMOSFETは、下記する効果を奏する。ソース電極とドレイン電極とを別の面に分離することにより、配線形状の簡素化、配線抵抗の大幅な低減を実現し、しかも基板とソース領域とを短絡させて、ソース電極を基板裏面に形成することにより、基板電位を安定化して、ノイズの発生を抑制する。

【0036】特に、トレンチを用いることにより、ソース領域と基板との短絡に要する面積を最小限に抑制し、かつ短絡のための拡散層形成に要する時間を短縮できる。また、誘電体分離構造を用いることにより、ロジック部へのノイズ伝達を一層抑制することができる。更に、トレンチと誘電体分離を併用することにより、上記

の効果が合わせて得られる。

【0037】基板自体をソース領域として使用するトレンチMOSFET構造とすることによっても、高集積化による低オン抵抗化および低ノイズ化を実現できる。

【図面の簡単な説明】

【図1】本発明第一の実施例のバックソースMOSFETを組み込んだパワーICの要部断面図

【図2】本発明第二の実施例のバックソースMOSFETの要部断面図

【図3】本発明第三の実施例のバックソースMOSFETの要部断面図

【図4】本発明第四の実施例のバックソースMOSFETの要部断面図

【図5】本発明第五の実施例のバックソースMOSFETの要部断面図

【図6】本発明第六の実施例のバックソースMOSFETの要部断面図

【図7】本発明第七の実施例のバックソースMOSFETを組み込んだパワーICの要部断面図

【図8】本発明第八の実施例のバックソースMOSFETの要部断面図

【図9】本発明第九の実施例のバックソースMOSFETの要部断面図

【図10】従来のMOSFETを組み込んだパワーICの要部断面図

【図11】従来の別のMOSFETを組み込んだパワーICの要部断面図

【符号の説明】

101、201、301、401、501

601、701、801、901

1101 n+ 基板

102、202、302、402、502

602、702、802、902

1002、1102

pベース層またはpベース領域

503、603 酸化膜

104、204、304、404、504

604、1004、1104

* n+ ソース領域

105、705、805、1005

n ドレインドリフト領域

106、706、806、1006

n ドレイン領域

107、707、807、1007、1107 ゲート電極

108、708、1008、1108 ゲート酸化膜

109、1009 LOCOS酸化膜

110、210、310、410、710

1010、1110 ソース電極

111、211、311、411、711

1011、1111 ドレイン電極

112、1012、1112 絶縁膜

213、313、413、613、713

813、1113 トレンチ

114、514、714、1014、1114 ロジック部

115、215、315、515、715

20 1015、1115 高耐圧素子部

216 n側壁領域

417、617、917 導電体

1018 p+ 基板

1019 n+ 埋め込み領域

820、1020、1120 n- ベース層

121、721、1021 p+ ソース領域

122、722、1022 p+ ドレイン領域

123、723、1023 ゲート電極

124、724、1024 n+ ソース領域

30 125、725、1025 n+ ドレイン領域

126、726、1026 ゲート電極

1027 pウェル領域

128、728 nウェル領域

1029 ゲート酸化膜

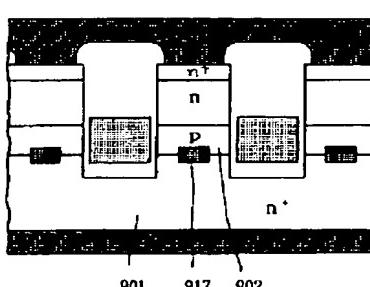
131、731、1031 ソース電極

132、732、1032 ドレイン電極

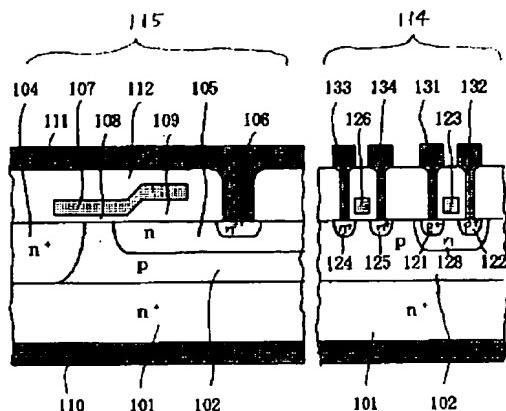
133、733、1033 ソース電極

* 134、734、1034 ドレイン電極

【図9】

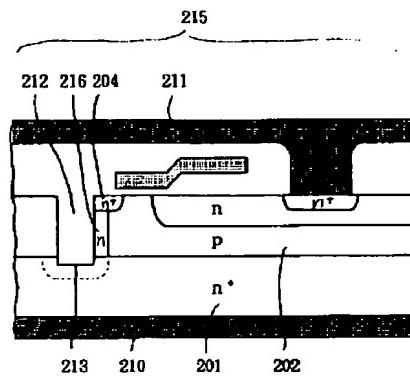


【図1】

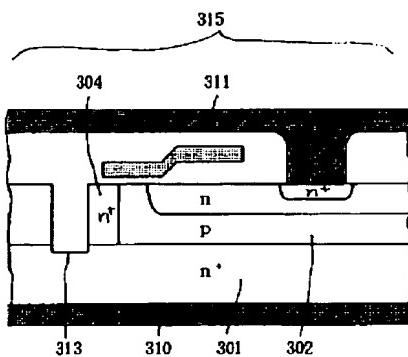


- | | |
|--------------------------|--------------|
| 101 n ⁺ 基板 | 107 ゲート電極 |
| 102 pベース層 | 108 ゲート酸化膜 |
| 104 n ⁺ ソース領域 | 109 LOCOS酸化膜 |
| 105 n ドレインドリフト領域 | 110 ソース電極 |
| 106 n ドレイン領域 | 111 ドレイン電極 |

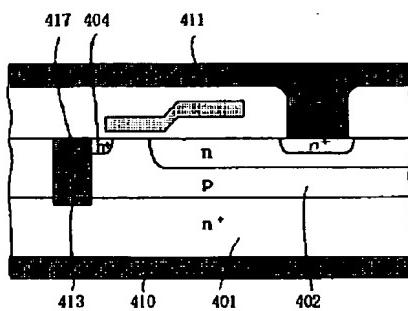
【図2】



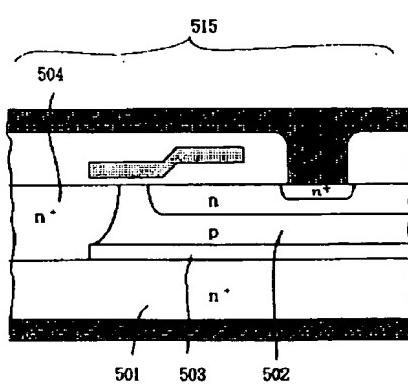
【図3】



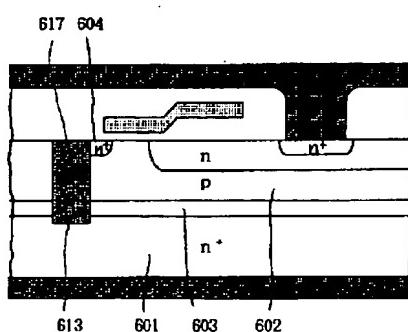
【図4】



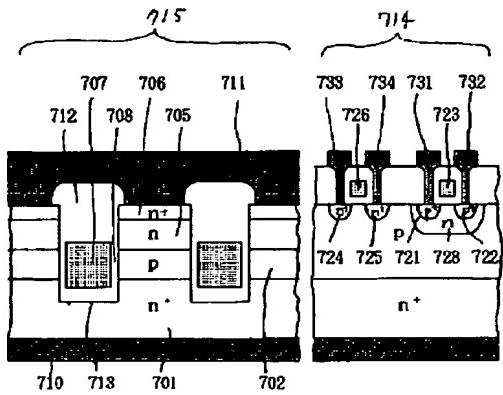
【図5】



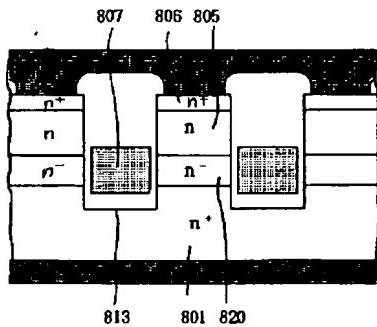
【図6】



【図7】



【図8】



【図11】

